

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-124430

(P2000-124430A)

(43) 公開日 平成12年4月28日 (2000.4.28)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)	
H 0 1 L	27/115	H 0 1 L 27/10	4 3 4	5 F 0 0 1
	21/8247	29/78	3 7 1	5 F 0 8 3
	29/788			
	29/792			

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願平10-298473

(22) 出願日 平成10年10月20日 (1998. 10. 20)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 渡辺 寿治

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

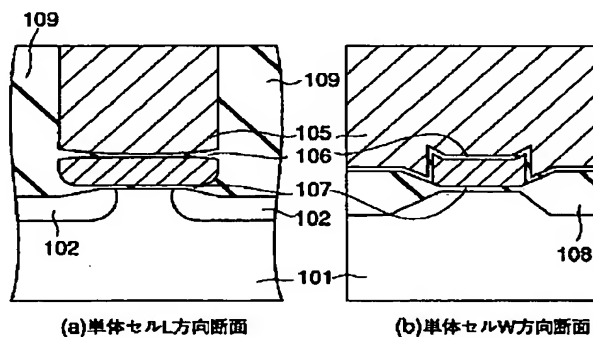
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】セルのしきい値電圧 V_{th} の制御を容易にし、高信頼性のフラッシュ・セルを有する不揮発性半導体記憶装置を提供すること。

【解決手段】制御ゲート電極105と浮遊ゲート電極104の間にインターポリ絶縁膜（ゲートポリシリコン間の絶縁膜）106が、基板101と浮遊ゲート電極104の間にトンネル酸化膜107が形成されている。上記トンネル酸化膜107（第一のゲート絶縁膜）、インターポリ絶縁膜（第二のゲート絶縁膜）106両者共にトンネル電流を流すことのできる程度の薄い酸化膜で構成され、実質的に所望のしきい値電圧 V_{th} になったところで、両方のトンネル電流が拮抗することにより、そのセルの V_{th} をほぼ自動的に制御する。



1

【特許請求の範囲】

【請求項1】 メモリセルとして、第一導電型の半導体基板に第一のゲート絶縁膜を介して形成された浮遊ゲート電極と、この浮遊ゲート電極に対し、第二のゲート絶縁膜を介して形成された制御ゲート電極を備え、制御ゲート電極と半導体基板の間に高電圧を印加することによって起こる電子のトンネル現象を用いてデータの書き込みまたは消去を行う不揮発性半導体記憶装置において、前記第二のゲート絶縁膜の膜厚 t と前記高電圧 V の関係が、

$$V/2t \geq 10 \text{ MV/cm}$$

であり、かつ、前記の半導体基板と浮遊ゲート電極の対向面積を S_1 、浮遊ゲート電極と制御ゲート電極の対向面積を S_2 とするとその関係が、

$$1.1 \leq (S_2/S_1) \leq 1.8$$

であることを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記メモリセル間における前記制御ゲート電極の下方に第一、第二の素子分離絶縁膜を具備し、前記浮遊ゲート電極は、上面が実質的に前記第一の素子分離絶縁膜と同一面となされた下部浮遊ゲート電極と、前記第一の素子分離絶縁膜上の前記第二の素子分離絶縁膜に隣り合い前記下部浮遊ゲート電極の上面に電氣的に接続された上部浮遊ゲート電極を含むことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 前記メモリセル間における前記制御ゲート電極の下方に第一、第二の素子分離絶縁膜を具備し、前記浮遊ゲート電極は、上面が実質的に前記第一の素子分離絶縁膜と同一面となされた下部浮遊ゲート電極と、前記第一の素子分離絶縁膜上の前記第二の素子分離絶縁膜に隣り合い前記下部浮遊ゲート電極の上面に電氣的に接続された上部浮遊ゲート電極を含み、前記制御ゲート電極は、前記第二の素子分離絶縁膜に隣り合い上面が実質的に前記第二の素子分離絶縁膜と同一面となされた下部制御ゲート電極と、前記下部制御ゲート電極の上面に電氣的に接続された上部制御ゲート電極を含んでいることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項4】 前記第二のゲート絶縁膜の膜厚 t は、前記第一のゲート絶縁膜の膜厚を u として、その関係は、 $6 \text{ nm} \leq t \leq u \times 1.25$

を満たすことを特徴とする請求項1ないし3いずれか一つに記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、不揮発性半導体記憶装置、特にFowler-Nordheim トンネル現象を利用したフラッシュメモリに関する。

【0002】

【従来の技術】 図11(a)、(b)は、従来の不揮発性半導体記憶装置に係る、スタックゲート型のフラッ

2

シュ・メモリの単体セルを示す断面図であり、(a)はセルのL方向(ゲート長方向)断面、(b)はセルのW方向(ゲート幅方向)断面を示している。なお、ここでは、メモリセルを単にセル、あるいはフラッシュ・セルと呼ぶことがある。

【0003】 基板81表面にソース/ドレイン拡散層82が形成されている。浮遊ゲート電極84及び制御ゲート電極85は、拡散層82の間のチャネル領域上に積み重ねられている。制御ゲート電極85と浮遊ゲート電極84の間にインターポリ絶縁膜(ゲートポリシリコン間の絶縁膜)86が形成されている。基板81と浮遊ゲート電極84の間にトンネル酸化膜87が形成されている。浮遊ゲート電極84と制御ゲート電極85の周りには層間絶縁膜89が形成されている。

【0004】 上記トンネル酸化膜87は、10nm程度の酸化膜である。インターポリ絶縁膜86は、約20nm相当のONO膜($\text{SiO}_2/\text{SiN}/\text{SiO}_2$ 積層膜)である。浮遊ゲート電極84の厚さは100nm程度である。素子分離絶縁膜88上にある浮遊ゲート電極84の幅(ウィング)は、200nm程度である。素子領域のチャネル幅及びゲート長は共に400nm程度である。

【0005】 浮遊ゲート電極84と基板81の間の静電容量を C_1 、浮遊ゲート電極104と制御ゲート電極85の間の静電容量を C_2 とする。この場合、 $C_2/(C_1 + C_2)$ をカップリング比 γ と呼ぶが、その値は約0.6程度である。

【0006】 このようなフラッシュ・セルは、メモリ構造として、NOR型(図12)やNAND型(図13)などの構造が知られている。図12のNOR型メモリセルは、隣り合う2つのセルに共通のドレイン拡散層82にビット線BLが接続される一般的な構成である。図13のNAND型メモリセルにおいては、セルを複数個(例えば16個)直列接続し、さらに両側に選択ゲートトランジスタを持つ。

【0007】 例えばNAND型メモリセルにおいては、書き込み、消去両方ともセルトランジスタのチャネルと浮遊ゲート電極の間のFowler-Nordheim 電流を用いる。また、NOR型メモリセルにおいては、消去がソース拡散層と浮遊ゲートの間で行われる。

【0008】 NAND型メモリセルの書き込み動作について説明する。書き込みに際し、制御ゲートにプラスの高い電圧 V 、例えば20Vを印加する。浮遊ゲート電極に過剰の電荷がないとすると、トンネル酸化膜に印加される電圧は、 $\gamma \times V$ となる。これにより、 V が20V、 γ が0.6の場合は12Vとなる。この時の電界は12MV/cm程度となる。この高電界により、Fowler-Nordheim トンネル現象が起こり、浮遊ゲート電極に電子が注入される。この結果、セルのしきい値電圧 V_{th} は高くなる。

3

【0009】一方、上記の場合、インターポリ絶縁膜にかかる電圧は、8V程度になる。インターポリ絶縁膜は、膜厚が20nmとトンネル絶縁膜に比べて厚い。このため、電界は4MV/cmとなる（インターポリ絶縁膜が積層膜の場合、各層での比誘電率の違いで場所によって電界が異なるが、これは無視して、静電容量的に等価な酸化膜だと仮定しての電界を扱う）。4MV/cmでは、電子は顕著なトンネル現象を示さない。

【0010】図14は、従来のNAND型メモリセルの書き込み動作の一例を示す特性図である。制御ゲート電極85に印加する電圧V(V)、セルのしきい値電圧V_{th}(V)、トンネル酸化膜87にかかる電界E₁(MV/cm)、インターポリ絶縁膜86に印加される電界E₂(MV/cm)の時間に対する変化を表わしている。

【0011】図14に示すように、制御ゲート電極85には20Vが印加される。実際、浮遊ゲート電極は、消去状態ではプラスに帯電し、書き込み後はマイナスに帯電する。このため、トンネル酸化膜にかかる電界E₁と、インターポリ絶縁膜に印加される電界E₂は、時間と共に緩やかに変化していく。セルは、始めしきい値電圧V_{th}が-2Vで消去状態となっているが、矢印に示すように約20μs後には0.5Vを越え、書き込まれたことになる。

【0012】

【発明が解決しようとする課題】従来技術のフラッシュ・セルにおいては、電子はもっぱらトンネル酸化膜のみをトンネルする（つまり、Fowler-Nordheim電流が発生する）。トンネル酸化膜に印加される電界は、徐々に変化していく（図14のE₁参照）ため、セルのしきい値電圧V_{th}も、消去しきい値から緩慢に上昇し続ける

（図14のV_{th}参照）。この結果、書き込み動作に関する制御をいつ中止するかで、セルのしきい値電圧V_{th}は大きく異なる。

【0013】この発明は、上記事情を考慮してなされたものであり、その課題は、セルのしきい値電圧V_{th}の制御を容易にし、高信頼性のフラッシュ・セルを有する不揮発性半導体記憶装置を提供することにある。

【0014】

【課題を解決するための手段】この発明は、メモリセルとして、第一導電型の半導体基板に第一のゲート絶縁膜を介して形成された浮遊ゲート電極と、この浮遊ゲート電極に対し、第二のゲート絶縁膜を介して形成された制御ゲート電極を備え、制御ゲート電極と半導体基板の間に高電圧を印加することによって起こる電子のトンネル現象を用いてデータの書き込みまたは消去を行う不揮発性半導体記憶装置において、前記第二のゲート絶縁膜の膜厚tと前記高電圧Vの関係が、

$V/2t \geq 10 \text{ MV/cm}$

であり、かつ、前記の半導体基板と浮遊ゲート電極の対

4

向面積をS₁、浮遊ゲート電極と制御ゲート電極の対向面積をS₂とするとその関係が、

$1 \leq (S_2/S_1) \leq 1.8$

であることを特徴とする。

【0015】この発明では、第一のゲート絶縁膜（トンネル酸化膜）のみならず、第二のゲート絶縁膜（インターポリ絶縁膜）も電子をトンネルさせる構成である。実質的に所望のしきい値電圧V_{th}になったところで、両方のトンネル電流が拮抗することにより、そのセルのV_{th}をほぼ自動的に制御する。

【0016】さらに、浮遊ゲート電極から半導体基板への電流と制御ゲート電極から浮遊ゲート電極への電流が釣りあって平衡状態が達成されるときには、S₂/S₁の関係から、浮遊ゲート電極中の電荷はゼロでない値で平衡状態になることが可能となる。

【0017】

【発明の実施の形態】図1(a)、(b)は、この発明の基本的な実施形態の不揮発性半導体記憶装置に係る、スタックゲート型のフラッシュ・メモリの単体セルを示す断面図であり、(a)はセルのL方向（ゲート長方向）断面、(b)はセルのW方向（ゲート幅方向）断面を示している。なお、ここでは、メモリセルを単にセル、あるいはフラッシュ・セルと呼ぶことがある。

【0018】シリコン基板101表面にソース/ドレイン拡散層102が形成されている。浮遊ゲート電極104及び制御ゲート電極105は、拡散層102の間のチャネル領域上に積み重ねられている。制御ゲート電極105と浮遊ゲート電極104の間にインターポリ絶縁膜（ゲートポリシリコン間の絶縁膜）106が形成されている。基板101と浮遊ゲート電極104の間にトンネル酸化膜107が形成されている。浮遊ゲート電極104と制御ゲート電極105の周りには層間絶縁膜109が形成されている。

【0019】この実施形態では、上記トンネル酸化膜107（第一のゲート絶縁膜）、インターポリ絶縁膜（第二のゲート絶縁膜）106両者共に8nm程度の酸化膜で構成されている。インターポリ絶縁膜106は、例えば浮遊ゲート電極104のポリシリコン材を酸化する、あるいは、減圧CVD法等によりSiO₂膜を堆積するといった形成方法が考えられる。

【0020】また、浮遊ゲート電極104の厚さは40nm程度である。素子領域のチャネル幅及びゲート長は共に400nm程度である。素子分離絶縁膜108上にある浮遊ゲート電極104の幅（ウィング）は、無視できるほど小さい。あるいは、上記ウィングは若干存在していてもかまわない。その場合、ここでは浮遊ゲート電極104の厚さとウィングの和が40nm程度になっていけばよい。

【0021】図2は、上記図1の構成のセルの書き込み動作の一例を示す特性図である。制御ゲート電極105

5

に印加する電圧 V (V)、セルのしきい値電圧 V_{th} (V)、トンネル酸化膜 107 にかかる電界 E_1 (MV/cm)、インターポリ絶縁膜 106 に印加される電界 E_2 (MV/cm) の時間に対する変化を表わしている。

【0022】図 2 に示すように、制御ゲート電極 105 には 19 V が印加される。書き込み開始直後は、消去状態での浮遊ゲート電極 104 に蓄積された正電荷により、トンネル酸化膜（第一のゲート絶縁膜）にかかる電界 E_1 がインターポリ絶縁膜（第二のゲート絶縁膜）にかかる電界 E_2 よりも大きい。よって、浮遊ゲート電極 104 には負電荷が蓄積される。

【0023】すなわち、セルは書き込み動作する。その後、時間が経過すると E_1 と E_2 はほとんど同じになる（約 12 MV/cm）。この時、トンネル酸化膜に流れる電流密度とインターポリ絶縁膜に流れる電流密度もほとんど同じになる。

【0024】電流は電流密度に面積を乗じたものであるが、上記構成の場合、インターポリ絶縁膜（第二のゲート絶縁膜）106 の面積は、トンネル酸化膜（第一のゲート絶縁膜）107 の面積の約 1.17 倍になっている（カップリング比は 0.54）。トンネル酸化膜 107 を介して浮遊ゲート電極 104 に流れ込む電流値と、インターポリ絶縁膜 106 を介して制御ゲート電極 105 に流れ出す電流値が等しくなったところで、セルのしきい値は約 2.2 V となり、一定値をとる。

【0025】また、 V_{th} の上昇の様子も、従来と違って急峻で、すぐ一定値に安定する。このように V_{th} が安定すれば、書き込みをいつ中止するかで V_{th} が大きく異なることはない。

【0026】セルのしきい値電圧 V_{th} は、セルトランジスタが導通に至る制御ゲート電極と基板間の電位差である。また、セルトランジスタが導通に至る浮遊ゲート電極と基板間の電位差を V_{tf} とする。このとき、浮遊ゲート中の過剰電荷を Q とすると、次の (1) 式で表わされる。

$$V_{th} = (V_{tf} / \gamma) - (Q / C_2) \quad \dots (1)$$

図 2 では、 $V_{tf} = 0.35$ と仮定している。トンネル酸化膜の電界 E_1 とインターポリ絶縁膜の電界 E_2 は、それぞれの膜厚を $tox1$, $tox2$ とするとき、

$$E_1 = Q / ((C_1 + C_2) tox1) + V \times \gamma \quad \dots (2)$$

$$E_2 = (V - E_1 \times tox1) / tox2 \quad \dots (3)$$

である。

【0028】さらに、 V_{th} が定常状態になったときには、浮遊ゲート電極 104 から流れ出る電流と流れ込む電流は等しい。基板 101 と浮遊ゲート電極 104 の対向面積を S_1 、浮遊ゲート電極 104 と制御ゲート電極 105 の対向面積を S_2 、浮遊ゲート電極 104 に基板 101 から流れ込む電流密度を J_1 、浮遊ゲート電極 104 から制御ゲート電極 105 に流れ出る電流密度を J_2 とすると、

04 から制御ゲート電極 105 に流れ出る電流密度を J_2 とすると、

$$S_1 \times J_1 = S_2 \times J_2 \quad \dots (4)$$

ここで、 $J_1 = f(E_1) \dots (5)$, $J_2 = f(E_2) \dots (6)$ 、 f は比例定数である。

【0029】いま、 $tox1 = tox2$ であるが、仮に、基板と浮遊ゲート電極の対向面積 S_1 と浮遊ゲート電極と制御ゲート電極の対向面積 S_2 が等しい ($\gamma = 0.5$) と、安定状態では $Q = 0$ となる。このとき上記 (1) 式より $V_{th} = 0.7$ V となる。これは消去をするために制御ゲート電極 105 を、基板 101 を基準にしてマイナスにバイアスしても同じことが成り立つ。従って、 V_{th} は 0.7 V の状態で安定してしまい、メモリとして動作しないことになる。

【0030】メモリとして望ましい動作をするためには、 S_2 が S_1 より大きいこと、さらに、 E_1 が E_2 よりやや大きく、どちらも 10 MV/cm 以上であることが重要である。

【0031】具体的には、上記 (1) 式で書き込み後における所望のしきい値電圧 V_{th} を指定すると、浮遊ゲート電極中の電荷 Q が決まる。このとき、上記 (2) 式より、 E_1 が 12 MV/cm 程度の電界になるように印加電圧 V を決定すればよい。

【0032】このとき E_2 は、自動的に上記 (3) 式により決定される。しかし、 E_2 も実質的に 12 MV/cm 程度の電界になるようにして、上記 (5) 式、(6) 式で決まるトンネル電流の密度を同程度とした上で、上記 (4) 式により、ゲートの電流値が平衡するようにする必要がある。

【0033】図 3 は、メモリセルの適当な条件下で、この発明のセル構造を適用した、消去状態のしきい値電圧 V_{th} と、書き込み状態のしきい値電圧 V_{th} の差 (V_{th} Window: V_{th} ウィンドウと呼ぶ) を示す特性図である。

【0034】この特性図の横軸は、この発明に係るセルのトンネル酸化膜を t_1 、インターポリ絶縁膜の膜厚を t_2 で表したとき、 $t_1 = 8$ nm で固定して、 t_2 を 7, 8, 9, 10 nm と変化させた場合の、基板と浮遊ゲート電極の対向面積 S_1 と浮遊ゲート電極と制御ゲート電極の対向面積 S_2 の比 S_2 / S_1 である。

【0035】この特性図の縦軸は、この発明に係るセルの制御ゲートに対し、 t_2 が 7 nm のときは 1.4 V、8 nm のときは 1.8 V、9 nm のときは 2.0、2.5 V、10 nm のときは 2.2、5 V 印加したときの、消去状態のしきい値電圧 V_{th} と書き込み状態のしきい値 V_{th} の差 (V_{th} ウィンドウ) を示している。

【0036】 $S_2 / S_1 = 1$ のときは、浮遊ゲートに過剰な電荷がない状態で平衡状態になるので、書き込み動作（制御ゲート電極はプラス）、消去動作（制御ゲート電極はマイナス）とも中性 V_{th} （紫外線消去の V_{th}

7

と同様)で落ち着き、ウインドウ幅は0Vであり、メモリ動作をしない。

【0037】一方、 $S2/S1$ を大きくすると、蓄積された電荷が多い状態で平衡状態に達する。書き込み状態のしきい値電圧 V_{th} (書き込み V_{th})はより高く、消去状態のしきい値電圧 V_{th} (消去 V_{th})はより低くなるので、 V_{th} ウインドウは広くなる。

【0038】次に、ウインドウ幅がどれ位必要かを求める。図4(a)、(b)それぞれは、この発明に係るセルの書き込み/消去状態の V_{th} のばらつきの許容される最大、最小の範囲を示す。不揮発性メモリ全般としては書き込み、消去それぞれの V_{th} のセンター値周辺に $\pm 1V$ 程度のばらつきを持っている。ウインドウ幅は、書き込み V_{th} の最小値と消去 V_{th} の最大値の間に1V程度の差がないと、正しく消去状態、書き込み状態が判定できない。このため、書き込み V_{th} のセンター値と消去 V_{th} センター値には最低でも3Vは必要である。

【0039】一方、許容されるウインドウ幅の最大値を求める。NAND型の場合、非選択セルの制御ゲート電極への電圧が最大で4V程度である。このとき、消去セル、書き込みセル両方に対して導通状態になっている必要がある。従って、書き込み V_{th} の最大値は4Vである。

【0040】また、消去セルの最小値は多くの場合、動作的にはいくら低くても良いが、セルに蓄積された電荷量が多ければ上記(2)式により、トンネル酸化膜にかかる電界も大きくなり、信頼性的に好ましくない。 $-4V$ 程度が下限である。

【0041】上記同様に V_{th} 分布幅を $\pm 1V$ 程度と仮定すれば、書き込み V_{th} のセンター値と消去 V_{th} のセンター値との差(ウインドウ幅)は6Vということになる。図3における適当な膜厚条件に関し、ウインドウ幅が3Vと6Vの間になる $S2/S1$ を求めると、だいたい1.8から1.1となる。

【0042】このように、制御ゲート電極に印加する電圧を変えると、トンネル酸化膜107(第一のゲート絶縁膜)と、インターポリ絶縁膜106(第二のゲート絶縁膜)に印加される電界が決まり、電流密度が決まる。電流密度が大きい方が短時間で大きな電荷を移動できるので短時間で書き込みや消去が可能である。

【0043】基本的に、フラッシュメモリは、その書き込み/消去時間に、所望の電荷を移動させるのに $10MV/cm$ 程度以上の電界が印加されなければならない。この発明においても、制御ゲート電極に印加される電圧は18V~23V程度であり、一般的なNAND型フラッシュメモリと大きく異なるものではない。よって、昇圧回路その他に従来技術以上の特段の工夫を要するものではない。

【0044】一方、この発明では、制御ゲート電極に印

8

加される電圧をV、第二のゲート絶縁膜の膜厚をtとしたとき、 $V/2t \geq 10MV/cm$ の関係を満足することにより、第二のゲート絶縁膜、すなわち、インターポリ絶縁膜106にも $10MV/cm$ 以上の電界が印加されトンネル電流が発生する。

【0045】すなわち、第一、第二のゲート絶縁膜107、106のカップリング比を考慮して、制御ゲート電極105と半導体基板101の間に印加される電圧の $1/2$ を、第二のゲート絶縁膜106の膜厚で割った値が $10MV/cm$ 以上の関係になれば、インターポリ絶縁膜106にも $10MV/cm$ 以上の電界が印加されトンネル電流が発生する。

【0046】これに対し、従来技術ではインターポリ絶縁膜に印加される電界は $4MV/cm$ 程度と低く、実質的にトンネル電流は流れていなかったもので、これは従来技術と異なる大きな特徴となっている。この発明では、第二のゲート絶縁膜は第一のゲート絶縁膜と同じ性質の酸化膜であることが好ましいことは上述した通りである。

【0047】第二のゲート絶縁膜を厚くし、 $S2/S1$ を1.1程度の比較的小さな値にしても、本発明に示した現象(第二のゲート絶縁膜、すなわち、インターポリ絶縁膜106でのトンネル電流の発生)はみられる。しかし、制御ゲート電極に印加する電圧を著しく高くしなければならず、実用的には意味がない。これを考慮すると、第一のゲート絶縁膜の1.25倍(8nmに対し10nm)程度が上限である。

【0048】一方、第二のゲート絶縁膜を薄膜化していくと、許容される $S2/S1$ の値は広くなり、加工のばらつきが発生しても V_{th} のばらつきは小さくなる。また、前述のように制御ゲートに印加すべき電圧値も小さくなるので、周辺回路の設計的にも好ましい。

【0049】第二の絶縁膜は、図3の $t2=7nm$ のように、第一の絶縁膜よりも薄くなっても良い。しかし、薄いシリコン酸化膜ではトンネル電流を流すと低電界リーク電流が発生することが以下のように知られている。

【0050】図5は、シリコン酸化膜に対するFowler-Nordheim電流注入前後での、シリコン酸化膜にかかる電界と電流密度の関係を示す特性図である。例えば、シリコン酸化膜厚が51オングストローム、すなわち5.1nmにおいて、トンネル電流注入後には $3MV/cm$ の電界に至るまでリーク電流の発生が見られる。従って、シリコン酸化膜の薄膜化には下限がある。6nmより薄くすることは信頼性的に意味がない。

【0051】図6は、この発明の第一実施形態に係り、上記基本的実施形態の特徴的な構成を採用したNAND型メモリのセル構造を示す断面図である。図は、セルのゲート長方向断面を示しており、図1と同様の個所には同一の符号を付す。セルの上方にはビット線BLが形成されている。

【0052】次に、この発明の第二の実施形態について説明する。いわゆるホットエレクトロン現象を利用して、浮遊ゲート電極に電子を注入する不揮発性半導体記憶装置に関して、再び図1を参照して説明する。

【0053】例えば、NOR型では、通常、消去は、ソース拡散層102に高いプラスの電圧を与え、制御ゲート電極105と半導体基板101は0Vとして、浮遊ゲート電極104からソース拡散層102に電子を引き抜く。

【0054】しかし、NOR型メモリセルでも、NAND型の消去のように、ソース拡散層でなくチャンネルに電子を引き抜くことも可能である。図7は、この発明の第二実施形態に係り、前記基本実施形態で述べた特徴的な構成を採用したNOR型メモリのセル構造を示す断面図である。図は、セルのゲート長方向断面を示しており、図1と同様個所には同一の符号を付す。S2/S1が1.25、第一のゲート絶縁膜(107)の膜厚が8nm、第二のゲート絶縁膜(106)の膜厚が7nmのいずれもシリコン酸化膜、制御ゲートと半導体基板の間の電位差は1.4Vとする(ゲートの方が低い)。

【0055】図8は、この発明を適用したNOR型の不揮発性メモリの上記条件でのメモリセルの消去動作を示す、時間に対するしきい値電圧V_{th}を示す特性図である。10msec程度でV_{th}は2V程度の値に収束しており、±1V程度のV_{th}分布幅を仮定すると、消去V_{th}の最小値は1Vであり、マイナスにはならない。これにより、過消去の懸念が無いNOR型の不揮発性半導体記憶装置が提供可能である。

【0056】図9は、この発明の第三の実施形態に係り、上述の基本的実施形態あるいは第一、第二の実施形態で説明したセルの構成を比較的容易に実現する具体的な一例を示すセルの断面図である。このセル断面は、前記図1(b)と同様のW方向(ゲート幅方向)断面を示している。なお、素子分離領域にはSTI(Shallow Trench Isolation)技術が用いられている。

【0057】半導体基板11上に、第一のゲート絶縁膜121を介して下部浮遊ゲート131が形成されている。下部浮遊ゲート131の上面と第一の素子分離絶縁膜141の上面はほぼ同一面となっている(破線)。

【0058】下部浮遊ゲート131の上面は上部浮遊ゲート132と接続されており、上部浮遊ゲート132の上面は第二の素子分離絶縁膜142の上面とほぼ同一面となっている。なお、第一と第二の素子分離絶縁膜141、142は同じ材質例えばシリコン酸化物でもかまわない。

【0059】上部浮遊ゲート132の上面には第二のゲート絶縁膜122が形成されている。第二のゲート絶縁膜122上に制御ゲート15が形成されている。制御ゲート15の上には層間絶縁膜16が形成されており、図示しないコンタクト孔によりビット線17が基板11と

逆導電型のドレイン拡散層(図示せず)と接続される。

【0060】このような図9のセル構造の製造方法の一例を説明する。シリコン基板11上に酸化膜121を形成する。次いで、上部浮遊ゲート131となる導体層例えばポリシリコンを堆積する。このポリシリコン層上にマスク材(窒化シリコン膜)を堆積し、その上にレジストを塗布しパターニングする(図示せず)。次に、レジストパターンをマスクにして上記マスク材、ポリシリコン層(131)、酸化膜(121)を順次エッチングし、さらに露出したシリコン基板1をエッチングする。この結果、トレンチが基板に形成される。その後、レジストパターンは剥離する。

【0061】次に、トレンチの内壁表面を熱酸化した後、例えばTEOS膜等の埋め込み材(141)でトレンチを埋め込む。その後、上記マスク材として使った窒化シリコン膜が完全に除去されるまで埋め込み材(141)をポリッシングして全面を平坦化する(破線)。

【0062】次に、平坦化した部分に再び上部浮遊ゲート132となる導体層例えばポリシリコンを堆積する。これにより、先に作ったポリシリコン層(131)上にポリシリコン層(132)が積み増しされる。

【0063】次に、素子分離領域上に浮遊ゲートに対するスリットを形成するため、ポリシリコン層(132)上にマスク材となる窒化シリコン膜をパターニングし、浮遊ゲートに対するスリットを形成する。その後、スリットを埋めるTEOS膜等の埋め込み材(142)を堆積する。その後、上記マスク材として使った窒化シリコン膜が完全に除去されるまで埋め込み材(142)をポリッシングして全面を平坦化する。

【0064】次に、第二のゲート絶縁膜122を形成する。次いで制御ゲート15となる例えばポリシリコン層を堆積する。その後、メモリセルとして分離するエッチング工程、拡散層の形成工程、層間絶縁膜16、ビット線17等の形成工程を経て図9のようなメモリセル構造が完成する。

【0065】図9において、S1は、下部浮遊ゲート131と半導体基板11の対向面積となる。S2は、上部浮遊ゲート132と制御ゲート15の対向面積となる。図のように、S2は、S1よりやや大きく1.1倍から1.8倍の値をとることができる。また、第二のゲート絶縁膜122の膜厚は例えば6nm以上あれば、第一のゲート絶縁膜121の1.25倍以内程度に容易に選択することもできる。

【0066】この発明においては、第二のゲート絶縁膜122も制御性良くトンネル現象を発生させなければならない。この図9の構成によれば、上部浮遊ゲート132の側面は第二の素子分離絶縁膜142に覆われているので、浮遊ゲートのコーナでの電界集中により過大な電流が発生して所望の特性が得られない事態を回避することができる。

11

【0067】図10は、この発明の第四の実施形態に係り、上述の基本的実施形態あるいは第一、第二の実施形態で説明したセルの構成を比較的容易に実現する具体的な他の一例を示すセルの断面図である。このセル断面は、前記図1(b)と同様のW方向(ゲート幅方向)断面を示している。なお、素子分離領域にはSTI(Shallow Trench Isolation)技術が用いられている。前記図9と同様の個所には同一の符号を記す。

【0068】半導体基板11上に、第一のゲート絶縁膜121を介して下部浮遊ゲート131が形成されている。下部浮遊ゲート131の上面と第一の素子分離絶縁膜141の上面はほぼ同一面となっている(破線)。

【0069】下部浮遊ゲート131の上面は上部浮遊ゲート132と接続されており、上部浮遊ゲート132上には第二のゲート絶縁膜122が形成されている。第二のゲート絶縁膜122上に下部制御ゲート151が形成されている。下部制御ゲート151の上面は第二の素子分離絶縁膜142の上面とほぼ同一面となっている。なお、第一と第二の素子分離絶縁膜141、142は同じ材質例えばシリコン酸化物でもかまわない。

【0070】下部制御ゲート151の上には上部制御ゲート152が形成されている。上部制御ゲート152上には層間絶縁膜16が形成されており、図示しないコンタクト孔によりビット線17が基板11と逆導電型のドレイン拡散層(図示せず)と接続される。

【0071】このような図10のセル構造の製造方法の一例を説明する。シリコン基板11上に酸化膜121を形成する。次いで、上部浮遊ゲート131となる導体層例えばポリシリコンを堆積する。このポリシリコン層上にマスク材(窒化シリコン膜)を堆積し、その上にレジストを塗布しパターニングする(図示せず)。次に、レジストパターンをマスクにして上記マスク材、ポリシリコン層(131)、酸化膜(121)を順次エッチングし、さらに露出したシリコン基板11をエッチングする。この結果、トレンチが基板に形成される。その後、レジストパターンは剥離する。

【0072】次に、トレンチの内壁表面を熱酸化した後、例えばTEOS膜等の埋め込み材(141)でトレンチを埋め込む。その後、上記マスク材として使った窒化シリコン膜が完全に除去されるまで埋め込み材(141)をポリッシングして全面を平坦化する(破線)。

【0073】次に、平坦化した部分に再び上部浮遊ゲート132となる導体層例えばポリシリコンを積み増し、さらに第二のゲート絶縁膜122、次いで下部制御ゲート151となる例えばポリシリコン層を堆積する。

【0074】次に、素子分離領域上に浮遊ゲートに対するスリットを形成するため、ポリシリコン層(151)上にマスク材となる窒化シリコン膜をパターニングし、素子分離絶縁膜141に達するエッチングによりスリットを形成する。その後、スリットを埋めるTEOS膜等

12

の埋め込み材(142)を堆積する。その後、上記マスク材として使った窒化シリコン膜が完全に除去されるまで埋め込み材(142)をポリッシングして全面を平坦化する。

【0075】次に、上部制御ゲート152となる例えばポリシリコン層を堆積する。その後、メモリセルとして分離するエッチング工程、拡散層の形成工程、層間絶縁膜16、ビット線17等の形成工程を経て図10のようなメモリセル構造が完成する。

【0076】図10において、S1は、下部浮遊ゲート131と半導体基板11の対向面積となる。S2は、上部浮遊ゲート132と下部制御ゲート151の対向面積となる。図のように、S2は、S1よりやや大きく1.1倍から1.8倍の値をとることができる。また、第二のゲート絶縁膜122の膜厚は例えば6nm以上あれば、第一のゲート絶縁膜121の1.25倍以内程度に容易に選択することもできる。

【0077】この発明においては、第二のゲート絶縁膜122も制御性良くトンネル現象を発生させなければならぬ。この図10の構成によれば、上部浮遊ゲート132の側面と下部制御ゲート151の側面が第二の素子分離絶縁膜142に覆われている。これにより、浮遊ゲートのコーナでの電界集中により過大な電流が発生して所望の特性が得られない事態を回避する作用は、前記図9の構成より優れる。

【0078】以上各実施形態の構成によれば、制御ゲートと半導体基板の間に高電圧を印加して起こる電子のトンネル現象を利用してデータの書き込みまたは消去を行う不揮発性半導体記憶装置において、セルの第二のゲート絶縁膜(インターポリ絶縁膜:酸化膜)にも電子をトンネルさせFowler-Nordheim電流を発生させる。

【0079】この結果、実質的に所望のしきい値電圧 V_{th} になったところで、両方のトンネル電流が拮抗することにより、そのセルの V_{th} をほぼ自動的に制御する。すなわち、浮遊ゲート電極から半導体基板への電流と制御ゲート電極から浮遊ゲートへの電流がつり合って浮遊ゲート電極中の電荷はゼロでない値で平衡状態となる。

【0080】

【発明の効果】以上、説明したように、この発明によれば、メモリセルのしきい値電圧が自動的に収束することにより、書き込みをいつ打ち切ってもしきい値電圧にほとんど変化の無い、制御性の高い書き込みを可能とする高信頼性の不揮発性半導体記憶装置が提供できる。

【図面の簡単な説明】

【図1】(a)、(b)はそれぞれこの発明の基本的な実施形態に係る不揮発性半導体記憶装置に係る、スタックゲート型のフラッシュ・メモリの単体セルを示す断面図。

【図2】図1の構成のセルの書き込み動作の一例を示す

特性図。

【図3】メモリセルの適当な条件下で、この発明のセル構造を適用した、消去状態のしきい値電圧 V_{th} と、書き込み状態のしきい値電圧 V_{th} の差 (V_{th} Window: V_{th} ウィンドウと呼ぶ) を示す特性図。

【図4】(a), (b) それぞれは、この発明に係るメモリセルの書き込み/消去の V_{th} のばらつきの許容される最大、最小の範囲を示す特性図。

【図5】シリコン酸化膜に対するFowler-Nordheim 電流注入前後での、シリコン酸化膜にかかる電界と電流密度 10 の関係を示す特性図。

【図6】この発明の第一実施形態に係り、基本的実施形態の特徴的な構成を採用したNAND型メモリのセル構造を示す断面図。

【図7】この発明の第二実施形態に係り、基本的実施形態の特徴的な構成を採用したNOR型メモリのセル構造を示す断面図。

【図8】この発明の第二実施形態に係り、この発明を適用したNOR型の不揮発性メモリのある条件下でのメモリセルの消去動作を示す、時間に対するしきい値電圧 V_{th} 10 を示す特性図。

【図9】この発明の第三の実施形態に係り、基本的実施*

*形態あるいは第一、第二の実施形態で説明したセルの構成を比較的容易に実現する具体的な一例を示すセルの断面図。

【図10】この発明の第四の実施形態に係り、基本的実施形態あるいは第一、第二の実施形態で説明したセルの構成を比較的容易に実現する具体的な他の一例を示すセルの断面図。

【図11】(a), (b) は、従来の不揮発性半導体記憶装置に係る、スタックゲート型のフラッシュ・メモリの単体セルを示す断面図。

【図12】NOR型のセル配置を示す断面図。

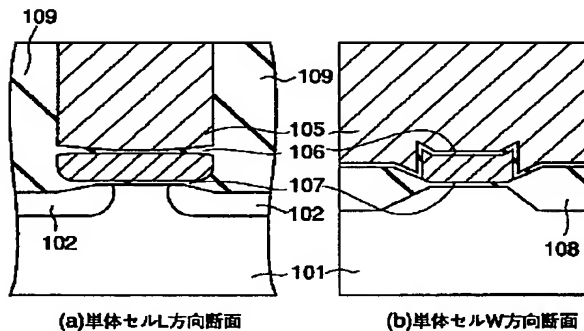
【図13】NAND型のセル配置を示す断面図。

【図14】従来のNAND型メモリセルの書き込み動作の一例を示す特性図。

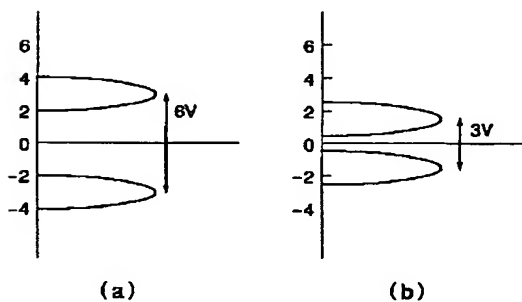
【符号の説明】

- 101…シリコン基板
- 102…ソース/ドレイン拡散層
- 104…浮遊ゲート電極
- 105…制御ゲート電極
- 106…インターポリ絶縁膜 (第二のゲート絶縁膜)
- 107…トンネル酸化膜 (第一のゲート絶縁膜)
- 108…素子分離絶縁膜

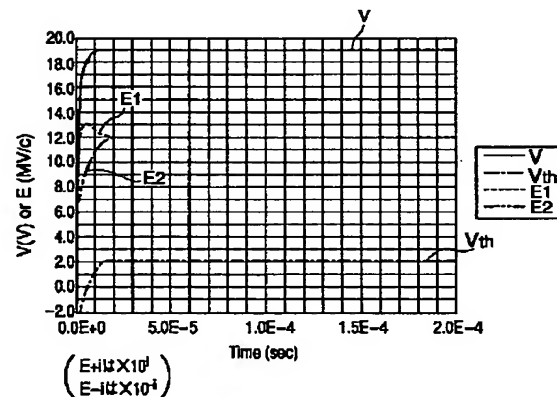
【図1】



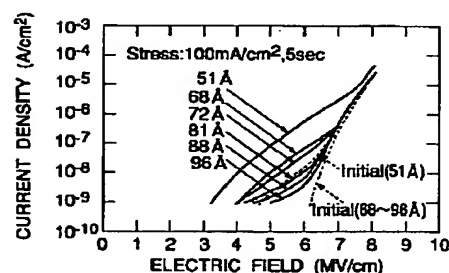
【図4】



【図2】

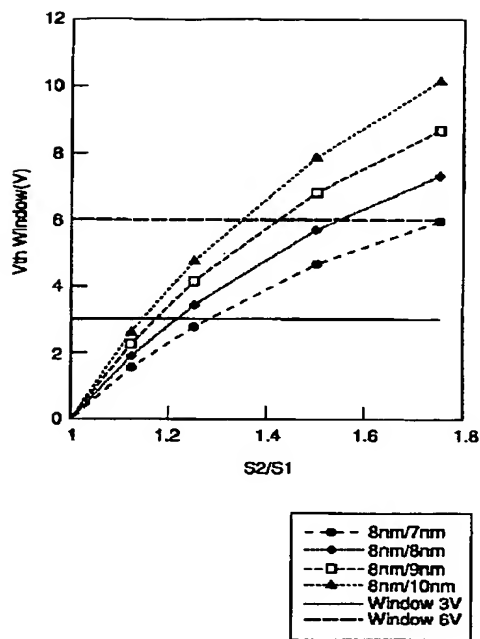


【図5】

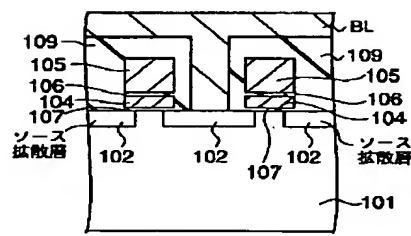


5.1nmから9.8nmまでのシリコン酸化膜のFowler-Nordheim電流注入前後でのJ-E特性

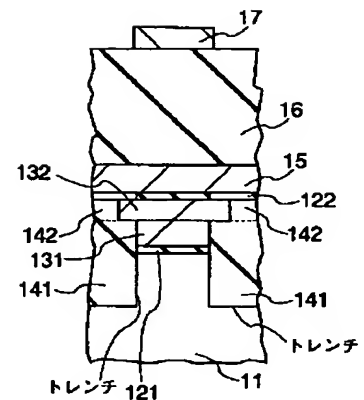
【図3】



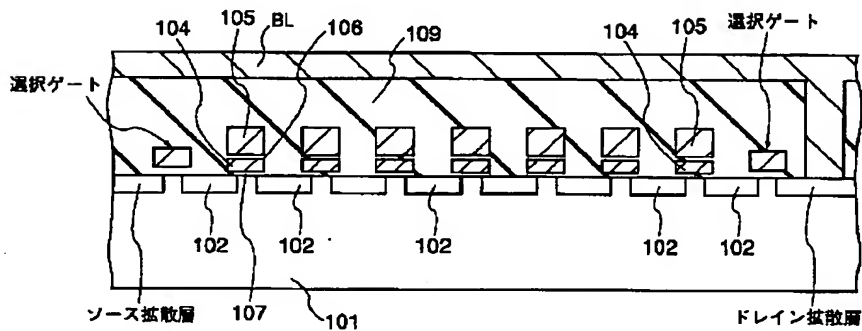
【図7】



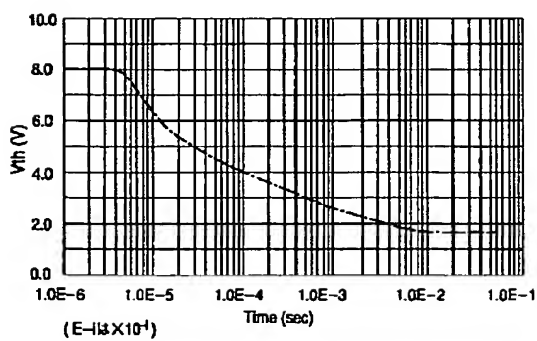
【図9】



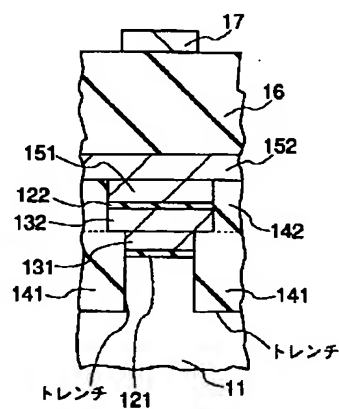
【図6】



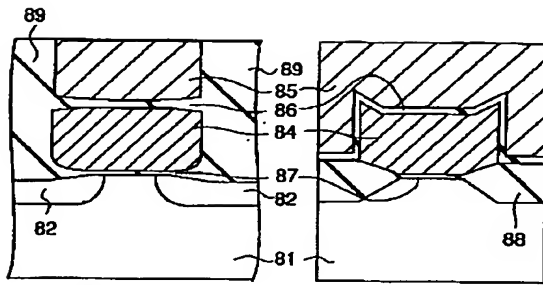
【図8】



【図10】



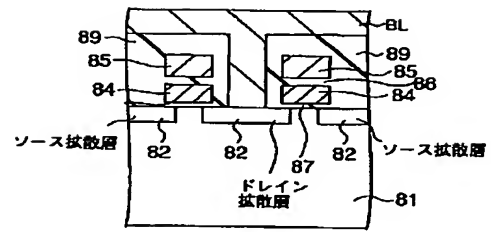
【図11】



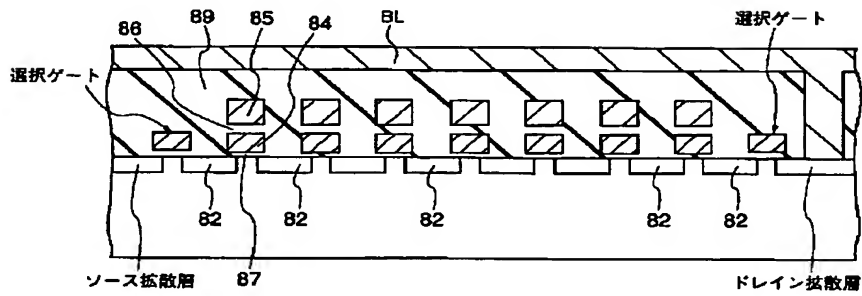
(a)単体セルL方向断面

(b)単体セルW方向断面

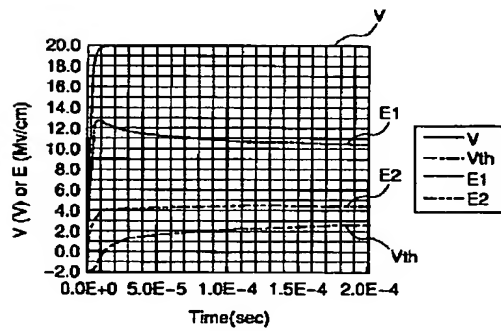
【図12】



【図13】



【図14】



(E+は $\times 10^4$)
(E-は $\times 10^{-4}$)

フロントページの続き

F ターム (参考) 5F001 AA08 AA23 AA30 AB08 AC02
AD12 AD19 AD52 AD53 AD60
AD62 AE02 AE08
5F083 EP03 EP04 EP05 EP23 EP42
EP52 EP76 EP77 ER03 ER09
ER14 ER16 ER19 ER22 NA01
NA02 PR40